

**OPERATIONAL AMPLIFIER**

Publication number: JP2006237956

Publication date: 2006-09-07

Inventor: TODAKA JUNICHI; TODA SHUJI

Applicant: TOKYO SHIBAURA ELECTRIC CO; TOSHIBA  
DISCRETE TECHNOLOGY KK

Classification:

- international: H03F3/45; H03F3/68; H03F3/45; H03F3/68;

- European:

Application number: JP20050048610 20050224

Priority number(s): JP20050048610 20050224

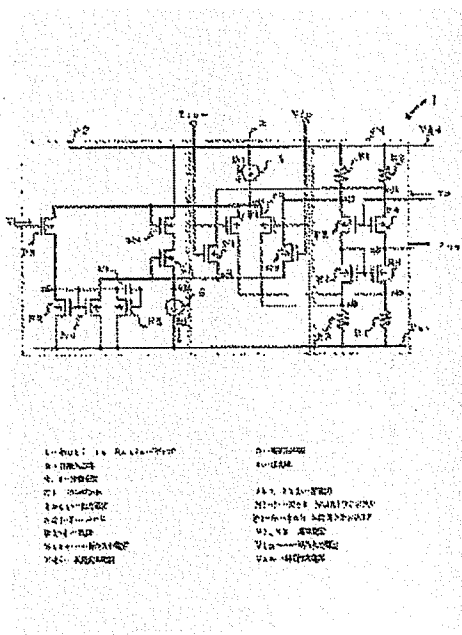
Report a data error here

**Abstract of JP2006237956**

**PROBLEM TO BE SOLVED:** To make the transconductance of an operational amplifier having a differential amplifier circuit composed of a CMOS constant over the whole input range even in an intense inversion region.

**SOLUTION:** A Rail to Rail operational amplifier 1 comprises a voltage control section 2, a differential input stage 3, and an output stage 4. The voltage control section 2 comprises an Nch MOS transistor N3 to an Nch MOS transistor N6, a Pch MOS transistor P3, a Pch MOS transistor P4, a capacitor C1 and a constant current source 6, and controls the voltage between sources of two differential amplifier circuits constituting the differential input stage 3, thereby enabling the Rail to Rail operational amplifier 1 to operate while the transconductance (gm) and an output current (Iout) are made constant over the whole input range.

COPYRIGHT: (C)2006,JPO&NCIPI



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-237956

(P2006-237956A)

(43) 公開日 平成18年9月7日(2006.9.7)

(51) Int. Cl.

F I

テーマコード(参考)

H03F 3/45 (2006.01)

H03F 3/45

A

5J500

H03F 3/68 (2006.01)

H03F 3/68

B

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21) 出願番号 特願2005-48610 (P2005-48610)

(22) 出願日 平成17年2月24日(2005.2.24)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(71) 出願人 504136878

東芝ディスクリットテクノロジー株式会社

神奈川県川崎市幸区堀川町580番地

ソリッドスクエアビル西館9階

(74) 代理人 100109900

弁理士 堀口 浩

(72) 発明者 戸高 順一

神奈川県川崎市幸区堀川町580番地

ソリッドスクエアビル西館9F 東芝ディス

クリットテクノロジー株式会社内

最終頁に続く

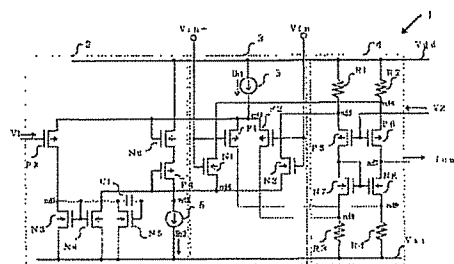
(54) 【発明の名称】 演算増幅器

(57) 【要約】

【課題】 差動増幅回路をCMOSで構成される演算増幅器において、強反転領域でも全入力範囲でトランスコンダクタンスを一定にする。

【解決手段】 Rail to Railオペアンプ1は、電圧制御部2、差動入力段3、及び出力段4から構成されている。電圧制御部2は、Nch MOSTランジスタN3乃至Nch MOSTランジスタN6、Pch MOSTランジスタP3、Pch MOSTランジスタP4、コンデンサC1、及び定電流源6から構成され、差動入力段3を構成する2つの差動増幅回路のソース間電圧を制御し、Rail to Railオペアンプ1を全入力範囲でトランスコンダクタンス(gm)及び出力電流(Iout)を一定にして動作するようにできる。

【選択図】 図1



1...Rail to Rail オペアンプ  
2...電圧制御部  
3...差動入力段  
4...出力段  
5...コンデンサ  
6...定電流源  
7...PMOSトランジスタ  
8...NMOSトランジスタ  
9...PMOSトランジスタ  
10...NMOSトランジスタ

11...VDD  
12...VSS  
13...VDD  
14...VSS  
15...VDD  
16...VSS  
17...VDD  
18...VSS  
19...VDD  
20...VSS

## 【特許請求の範囲】

## 【請求項1】

差動対をなす第1及び第2のNch MOSTランジスタを有する第1の差動増幅回路と、差動対をなす第1及び第2のPch MOSTランジスタを有する第2の差動増幅回路とを備える差動入力段と、  
前記第1及び第2のNch MOSTランジスタのソースと前記第1及び第2のPch MOSTランジスタのソースとの間の電圧を制御し、入力電圧に応じて前記差動入力段のトランスコンダクタンスを一定値に制御する電圧制御部と、  
を具備することを特徴とする演算増幅器。

## 【請求項2】

差動対をなす第1及び第2のNch MOSTランジスタを有する第1の差動増幅回路と、差動対をなす第1及び第2のPch MOSTランジスタを有する第2の差動増幅回路とを備える差動入力段と、  
前記第1及び第2のNch MOSTランジスタのソースと前記第1及び第2のPch MOSTランジスタのソースとの間の電圧を制御し、入力電圧に応じて前記差動入力段のトランスコンダクタンスを一定値に制御する電圧制御部と、  
前記差動入力段から出力された信号を増幅して出力する出力段と、  
を具備することを特徴とする演算増幅器。

## 【請求項3】

前記電圧制御部は、高電位側電源側と低電位側電源側の間に縦続接続され、前記第1及び第2のNch MOSTランジスタのソースがゲートに接続される第3のNch MOSTランジスタと、前記第1及び第2のPch MOSTランジスタのソースがゲートに接続される第3のPch MOSTランジスタとを具備することを特徴とする請求項1又は2に記載の演算増幅器。

## 【請求項4】

前記電圧制御部は、定電流源を流れる一定な電流と前記第3のNch MOSTランジスタ及び前記第3のPch MOSTランジスタを流れる電流を比較し、その電流差をゼロにするように負帰還動作する負帰還制御手段を具備することを特徴とする請求項3に記載の演算増幅器。

## 【請求項5】

前記負帰還制御手段は、負帰還動作の負帰還ループ安定用のコンデンサを具備することを特徴とする請求項4に記載の演算増幅器。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、演算増幅器 (operational amplifier オペアンプとも呼称される) に係り、特に演算増幅器の入力範囲が供給電源の最小値から最大値までの全範囲でRail to Rail動作する演算増幅器に関する。

## 【背景技術】

## 【0002】

演算増幅器は、入力信号を増幅し、増幅した出力信号を出力し、初期増幅する入力段と駆動機能を提供して更なる増幅も可能とする出力段とを含む。演算増幅器の入力段には、初期利得を提供し、増幅器に一定のバンド幅と一定な利得を与えるためにトランスコンダクタンス (gmとも呼称される) が一定なRail to Rail動作する差動増幅回路が一般的に用いられている (例えば、特許文献1 参照)。

## 【0003】

近年、電子機器の低消費電力化及び多機能化の進展に伴い、差動増幅回路などをCMOSで構成されるRail to Rail動作の演算増幅器が多用されている。ところが、特許文献1などに記載される演算増幅器においては、入力段の差動増幅回路を構成するPch MOS (Metal Oxide Semiconductor) トランジスタ及びNch MOSト

ランジスタが弱反転領域では全入力範囲でトランスコンダクタンス ( $gm$ ) を一定にできるが、強反転領域では全入力範囲でトランスコンダクタンス ( $gm$ ) を一定にできないという問題点がある。

【特許文献1】特開2002-185272号公報(頁9、図6)

【発明の開示】

【発明が解決しようとする課題】

【0004】

本発明は、差動増幅回路をCMOSで構成し、強反転領域でも全入力範囲でトランスコンダクタンスを一定にできる演算増幅器を提供することにある。

【課題を解決するための手段】

【0005】

上記目的を達成するために、本発明の一態様の演算増幅器は、差動対をなす第1及び第2のNch MOSトランジスタを有する第1の差動増幅回路と、差動対をなす第1及び第2のPch MOSトランジスタを有する第2の差動増幅回路とを備える差動入力段と、前記第1及び第2のNch MOSトランジスタのソースと前記第1及び第2のPch MOSトランジスタのソースとの間の電圧を制御し、入力電圧に応じて前記差動入力段のトランスコンダクタンスを一定値に制御する電圧制御部とを具備することを特徴とする。

【0006】

更に、上記目的を達成するために、本発明の他態様の演算増幅器は、差動対をなす第1及び第2のNch MOSトランジスタを有する第1の差動増幅回路と、差動対をなす第1及び第2のPch MOSトランジスタを有する第2の差動増幅回路とを備える差動入力段と、前記第1及び第2のNch MOSトランジスタのソースと前記第1及び第2のPch MOSトランジスタのソースとの間の電圧を制御し、入力電圧に応じて前記差動入力段のトランスコンダクタンスを一定値に制御する電圧制御部と、前記差動入力段から出力された信号を増幅して出力する出力段とを具備することを特徴とする。

【発明の効果】

【0007】

本発明によれば、差動増幅回路をCMOSで構成し、強反転領域でも全入力範囲でトランスコンダクタンスを一定にできる演算増幅器を提供することができる。

【発明を実施するための最良の形態】

【0008】

以下本発明の実施例について図面を参照しながら説明する。

【実施例】

【0009】

まず、本発明の実施例1に係る演算増幅器について、図面を参照して説明する。図1はRail to Railオペアンプを示す回路図である。本実施例では、Rail to RailオペアンプをCMOS (Complementary Metal Oxide Semiconductor) で構成している。

【0010】

図1に示すように、Rail to Railオペアンプ1は、電圧制御部2、差動入力段3、及び出力段4から構成され、全入力範囲でトランスコンダクタンス ( $gm$ ) 及び出力電流 ( $I_{out}$ ) を一定にして動作する。

【0011】

電圧制御部2は、Nch MOSトランジスタN3乃至Nch MOSトランジスタN6、Pch MOSトランジスタP3、Pch MOSトランジスタP4、コンデンサC1、及び定電流源6から構成され、差動入力段3を構成する2つの差動増幅回路のソース間電圧を制御する。

【0012】

Pch MOSトランジスタP3は、ソースがノードnd3に接続され、ドレインがN

ch MOSトランジスタN3のドレイン(ノードnd1)に接続され、ゲートに、例えば、BGR (Band Gap Reference) 回路などの基準電圧発生回路から出力された基準電圧V1が入力される。そして、Pch MOSトランジスタP3は、差動対をなすNch MOSトランジスタN1とNch MOSトランジスタN2、及び差動対をなすPch MOSトランジスタP1とPch MOSトランジスタP2に流れる電流分割用として動作し、定電流源5に流れる定電流Ib1を $Ib1 \times \alpha$ と $Ib1 \times (1 - \alpha)$ に分割する。ここで、 $\alpha$ は電流分割比であり、入力電圧Vinの変化により0~1まで変化する。

【0013】

Nch MOSトランジスタN3は、ゲートがドレイン(ノードnd1)に接続され、ソースが低電位側電源Vssに接続されている。Nch MOSトランジスタN4は、ドレインがノードnd4に接続され、ゲートがNch MOSトランジスタN3のゲート及びNch MOSトランジスタN3のドレイン(ノードnd1)に接続され、ソースが低電位側電源Vssに接続されている。Nch MOSトランジスタN5は、ドレインがノードnd1に接続され、ゲートがノードnd2に接続され、ソースが低電位側電源Vssに接続されている。コンデンサC1は、一端がノードnd1に接続され、他端がノードnd2に接続されている。ここで、Nch MOSトランジスタN3及びNch MOSトランジスタN4は、 $Wg$  (ゲート幅) /  $Lg$  (ゲート長) が1:1の比からなるカレントミラー回路を構成している。

【0014】

Nch MOSトランジスタN6は、ドレインが高電位側電源Vddに接続され、ゲートがノードnd3に接続され、ソースがPch MOSトランジスタP4のソースに接続されている。Pch MOSトランジスタP4は、ゲートがノードnd4に接続され、ドレインがノードnd2に接続されている。定電流源6は、一端がノードnd2に接続され、他端が低電位側電源Vssに接続され定電流Ib2を発生する。なお、MOSトランジスタは、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) とも呼称される。

【0015】

差動入力段3は、Nch MOSトランジスタN1、Nch MOSトランジスタN2、Pch MOSトランジスタP1、Pch MOSトランジスタP2、及び定電流源5から構成され、Nch MOSトランジスタN1及びNch MOSトランジスタN2がNchの差動対をなし、Pch MOSトランジスタP1及びPch MOSトランジスタP2がPchの差動対をなす。

【0016】

定電流源5は、一端が高電位側電源Vddに接続され、他端がノードnd3に接続され定電流Ib1を発生する。Nch MOSトランジスタN1は、ドレインがノードnd6に接続され、ゲートに+側の入力電圧Vin+が入力され、ソースがノードnd4に接続されている。Nch MOSトランジスタN2は、ドレインがノードnd5に接続され、ゲートに-側の入力電圧Vin-が入力され、ソースがノードnd4に接続されている。

【0017】

Pch MOSトランジスタP1は、ソースがノードnd3に接続され、ゲートに+側の入力電圧Vin+が入力され、ドレインがノードnd9に接続されている。Pch MOSトランジスタP2は、ソースがノードnd3に接続され、ゲートに-側の入力電圧Vin-が入力され、ドレインがノードnd8に接続されている。

【0018】

出力段4は、Nch MOSトランジスタN7、Nch MOSトランジスタN8、Pch MOSトランジスタP5、Pch MOSトランジスタP6、及び抵抗R1乃至抵抗R4から構成され、差動入力電圧差( $\Delta Vin$ )をMOSトランジスタで増幅する出力変換回路として動作する。

【0019】

抵抗R1は、一端が高電位側電源Vddに接続され、他端がノードnd5に接続されて

いる。抵抗R2は、一端が高電位側電源Vddに接続され、他端がノードnd6に接続されている。Pch MOSトランジスタP5は、ソースがノードnd5に接続され、ゲートがPch MOSトランジスタP6のゲートに接続され、ゲートに、例えば、BGR回路などの基準電圧発生回路から出力された基準電圧V2が入力され、ドレインがNch MOSトランジスタN7のドレインに接続されている。

【0020】

Pch MOSトランジスタP6は、ソースがノードnd6に接続され、ゲートに基準電圧V2が入力され、ドレインがノードnd7に接続されている。Nch MOSトランジスタN7は、ゲートがドレイン及びNch MOSトランジスタN8のゲートに接続され、ソースがノードnd8に接続されている。Nch MOSトランジスタN8は、ドレインがノードnd7に接続され、ソースがノードnd9に接続されている。ここで、Nch MOSトランジスタN7及びNch MOSトランジスタN8は、 $W_g/L_g$ が1:1の比からなるカレントミラー回路を構成している。

【0021】

抵抗R3は、一端がノードnd8に接続され、他端が低電位側電源Vssに接続されている。抵抗R4は、一端がノードnd9に接続され、他端が低電位側電源Vssに接続されている。そして、ノードnd7からRail to Railオペアンプ1の一定電流である出力電流Ioutが出力される。

【0022】

次に、電圧制御部2の差動入力段2のソース間電圧制御動作について詳述する。ここで、差動対をなすNch MOSトランジスタN1の $W_g/L_g$ とNch MOSトランジスタN6の $W_g/L_g$ との比が1:Kに設定され、差動対をなすPch MOSトランジスタP1の $W_g/L_g$ とPch MOSトランジスタP4の $W_g/L_g$ との比が1:Kに設定されている。

【0023】

そして、Nch MOSトランジスタN6及びPch MOSトランジスタP4を流れる電流(I<sub>do</sub>)は、定電流源6を流れる定電流I<sub>b2</sub>と比較され、その電流差がゼロになるようにNch MOSトランジスタN3、Nch MOSトランジスタN4、及びNch MOSトランジスタN5の負帰還動作を行う。なお、コンデンサC1は、負帰還ループ安定用(発振防止用)として挿入されている。

【0024】

強反転領域で、Nch MOSトランジスタN1に流れるドレイン電流(I<sub>dn</sub>)とPch MOSトランジスタP1に流れるドレイン電流(I<sub>dp</sub>)は、それぞれ、  

$$I_{dn} = (\mu_n \epsilon_{ox} \epsilon_o W_{gn} / 2 t_{ox} L_{gn}) \times \{ (V_{gsn} - V_{thn})^2 \} \dots \dots \dots \text{式(1)}$$

$$I_{dp} = (\mu_p \epsilon_{ox} \epsilon_o W_{gp} / 2 t_{ox} L_{gp}) \times \{ (V_{gsp} - V_{thp})^2 \} \dots \dots \dots \text{式(2)}$$
と表される。なお、 $\mu_n$ は電子の移動度、 $\mu_p$ はホールの移動度、 $\epsilon_{ox}$ はゲート絶縁膜の誘電率、 $\epsilon_o$ は比誘電率、 $W_{gn}$ 及び $W_{gp}$ はゲート幅、 $t_{ox}$ はゲート絶縁膜厚、 $L_{gn}$ 及び $L_{gp}$ はゲート長、 $V_{gsn}$ 及び $V_{gsp}$ はゲートソース間電圧、 $V_{thn}$ 及び $V_{thp}$ は閾値電圧である。そして、 $(\mu_n \epsilon_{ox} \epsilon_o W_{gn} / 2 t_{ox} L_{gn})$ は定数A、 $(\mu_p \epsilon_{ox} \epsilon_o W_{gp} / 2 t_{ox} L_{gp})$ は定数Bと、それぞれ表すことができる。

【0025】

ここで、Nch MOSトランジスタN1及びNch MOSトランジスタN2から構成される差動増幅回路と、Pch MOSトランジスタP1及びPch MOSトランジスタP2から構成される差動増幅回路とのトランスコンダクタンス(g<sub>m</sub>)を一致させるためにA=Bとなるように設計する。

【0026】

ゲートソース間電圧であるV<sub>gsn</sub>及びV<sub>gsp</sub>は、式(1)、式(2)から、  

$$V_{gsn} = V_{thn} + (I_{dn} / A)^{1/2} \dots \dots \dots \text{式(3)}$$

$$V_{gsp} = V_{thp} + (I_{dp} / B)^{1/2} \dots \dots \dots \text{式(4)}$$
と表され、Nch MOSトランジスタN1及びNch MOSトランジスタN2から構

成される差動増幅回路と、Pch MOSトランジスタP1及びPch MOSトランジスタP2から構成される差動増幅回路のソース間電圧(Va-b)は、

$$Va-b=V_{thn}+(I_{dn}/A)^{1/2}+V_{thp}+(I_{dp}/A)^{1/2} \dots \dots \dots \text{式(5)}$$

と表される。そして、Nch MOSトランジスタN6及びPch MOSトランジスタP4を流れる電流(I<sub>do</sub>)は、

$$I_{do}=KA(V_{gsn1}-V_{thn})^{1/2}=KA(V_{gsp1}-V_{thp})^{1/2} \dots \dots \dots \text{式(6)}$$

と表せる。なお、V<sub>gsn1</sub>はNch MOSトランジスタN6のゲートソース間電圧、V<sub>gsp1</sub>はPch MOSトランジスタP4のゲートソース間電圧である。

【0027】

差動増幅回路のソース間電圧(Va-b)は、

$$Va-b=V_{gsn1}+V_{gsp1}=2(I_{do}/KA)^{1/2}+V_{thn}+V_{thp} \dots \dots \dots \text{式(7)}$$

と表せる。そして、式(5)及び式(7)から、

$$(I_{dn})^{1/2}+(I_{dp})^{1/2}=2(I_{do}/K)^{1/2} \dots \dots \dots \text{式(8)}$$

と表すことができ、この式(8)は、Nch MOSトランジスタN1及びNch MOSトランジスタN2から構成される差動増幅回路を流れる電流と、Pch MOSトランジスタP1及びPch MOSトランジスタP2から構成される差動増幅回路を流れる電流と、Nch MOSトランジスタN6及びPch MOSトランジスタP4を流れる電流との関係を示している。

【0028】

つまり、トランスコンダクタンス(g<sub>m</sub>)は、ドレイン電流の1/2乗に比例するので、Nch MOSトランジスタN1及びNch MOSトランジスタN2から構成される差動増幅回路のトランスコンダクタンス(g<sub>mn</sub>)と、Pch MOSトランジスタP1及びPch MOSトランジスタP2から構成される差動増幅回路のトランスコンダクタンス(g<sub>mp</sub>)とを加算した差動入力段3の総合トランスコンダクタンス(g<sub>mt</sub>)は、Nch MOSトランジスタN6及びPch MOSトランジスタP4を流れる電流(I<sub>do</sub>)を一定に保つように、Nch MOSトランジスタN1及びNch MOSトランジスタN2から構成される差動増幅回路とPch MOSトランジスタP1及びPch MOSトランジスタP2から構成される差動増幅回路を流れる電流を制御すれば総合トランスコンダクタンス(g<sub>mt</sub>)を一定に保てることを示している。

【0029】

ここでは、Nch MOSトランジスタN1、Nch MOSトランジスタN2、及びNch MOSトランジスタN6の閾値電圧は同一であり、Pch MOSトランジスタP1、Pch MOSトランジスタP2、及びPch MOSトランジスタP4の閾値電圧は同一であるとし、製造上のバラツキを考慮していない。

【0030】

次に、Rail to Railオペアンプの特性について、図2を参照して説明する。図2はRail to Railオペアンプの入力電圧に対するトランスコンダクタンス(g<sub>m</sub>)の関係を示す図である。

【0031】

図2に示すように、低電位側電源V<sub>ss</sub>領域では、Pch MOSトランジスタP1及びPch MOSトランジスタP2から構成される差動増幅回路のみ動作し、高電位側電源V<sub>dd</sub>領域では、Nch MOSトランジスタN1及びNch MOSトランジスタN2から構成される差動増幅回路のみ動作している。このため、上述した式(8)から、低電位側電源V<sub>ss</sub>領域でI<sub>dn</sub>=0、I<sub>dp</sub>=I<sub>b1</sub>となり、高電位側電源V<sub>dd</sub>領域でI<sub>dn</sub>=I<sub>b1</sub>、I<sub>dp</sub>=0となり、低電位側電源V<sub>ss</sub>領域及び高電位側電源V<sub>dd</sub>領域の総合トランスコンダクタンス(g<sub>mt1</sub>)は、

$$g_{mt1}=(I_{b1})^{1/2}=2(I_{do}/K)^{1/2} \dots \dots \dots \text{式(9)}$$

と表される。

【0032】

そして、低電位側電源V<sub>ss</sub>と高電位側電源V<sub>dd</sub>との間の中間領域の総合トランスコ

ンダクタンス ( $g_{mt2}$ ) は、上述した式 (8) 及び式 (9) から、

$$g_{mt2} = 2(I_{do}/K)^{1/2} \dots \dots \dots \text{式 (10)}$$

と表される。

【0033】

つまり、式 (9) 及び式 (10) から明白のように弱反転領域、強反転領域によらず、一定電流 ( $I_{do}$ ) を保ちながら、差動入力段3の全入力範囲での総合トランスコンダクタンス ( $g_{mt}$ ) を一定に保つことができる。

【0034】

上述したように、本実施例の演算増幅器では、Nch MOSトランジスタN3乃至Nch MOSトランジスタN6、Pch MOSトランジスタP3、Pch MOSトランジスタP4、コンデンサC1、及び定電流源6から構成され、差動入力段3を構成する2つの差動増幅回路のソース間電圧を制御する電圧制御部2が設けられている。このため、Rail to Railオペアンプ1を全入力範囲でトランスコンダクタンス ( $g_m$ ) 及び出力電流 ( $I_{out}$ ) を一定にして動作するようにできる。

【実施例】

【0035】

次に、本発明の実施例2に係る演算増幅器について、図面を参照して説明する。図3はRail to Railオペアンプを示す回路図である。本実施例では、Rail to Railオペアンプの電圧制御部及び出力段をBiCMOS (Bipolar Complementary Metal Oxide Semiconductor) で構成している。

【0036】

以下、実施例1と同一構成部分には、同一符号を付してその部分の説明を省略し、異なる部分のみ説明する。

【0037】

図3に示すように、Rail to Railオペアンプ1aは、電圧制御部2a、差動入力段3、及び出力段4aから構成され、全入力範囲でトランスコンダクタンス ( $g_m$ ) 及び出力電流 ( $I_{out}$ ) を一定にして動作する。

【0038】

電圧制御部2aは、Nch MOSトランジスタN6、Pch MOSトランジスタP3、Pch MOSトランジスタP4、NPNトランジスタBN1乃至NPNトランジスタBN3、コンデンサC1、及び定電流源6から構成され、差動入力段3を構成する2つの差動増幅回路のソース間電圧を制御する。ここで、Pch MOSトランジスタP3をPNPトランジスタに置き換えてもよい。

【0039】

NPNトランジスタBN1は、ベースがコレクタ (ノードnd1) に接続され、エミッタが低電位側電源Vssに接続されている。NPNトランジスタBN2は、コレクタがノードnd4に接続され、ベースがNPNトランジスタBN1のベース及びNPNトランジスタBN1のコレクタ (ノードnd1) に接続され、ソースが低電位側電源Vssに接続されている。NPNトランジスタBN3は、コレクタがノードnd1に接続され、ベースがノードnd2に接続され、エミッタが低電位側電源Vssに接続されている。

【0040】

ここで、NPNトランジスタBN1及びNPNトランジスタBN2は、エミッタ面積 ( $S_e$ ) が1:1の比からなるカレントミラー回路を構成する。なお、実施例1のNch MOSトランジスタN3及びNch MOSトランジスタN4からなるカレントミラー回路に比べ、NPNトランジスタBN1及びNPNトランジスタBN2からなるカレントミラー回路は、カレントミラー回路の重要な特性であるトランジスタのペアー性を向上させながら、トランジスタの面積を縮小することができる。

【0041】

出力段4aは、NPNトランジスタBN4、NPNトランジスタBN5、PNPトラン



ジスタBP1、PNPトランジスタBP2、及び抵抗R1乃至抵抗R4から構成され、差動入力電圧差( $\Delta V_{in}$ )をバイポーラトランジスタで増幅する出力変換回路として動作する。PNPトランジスタBP1は、エミッタがノードnd5に接続され、ベースがPNPトランジスタBP2のベースに接続され、ベースに基準電圧V2が入力され、コレクタがNPNTランジスタBN4のコレクタに接続されている。PNPトランジスタBP2は、エミッタがノードnd6に接続され、ベースに基準電圧V2が入力され、コレクタがノードnd7に接続されている。

【0042】

NPNTランジスタBN4は、ベースがコレクタ及びNPNTランジスタBN5のベースに接続され、エミッタがノードnd8に接続されている。NPNTランジスタBN5は、コレクタがノードnd7に接続され、エミッタがノードnd9に接続されている。

【0043】

ここで、NPNTランジスタBN4及びNPNTランジスタBN5は、エミッタ面積( $S_e$ )が1:1の比からなるカレントミラー回路を構成する。なお、実施例1のNchMOSTランジスタN7及びNchMOSTランジスタN8からなるカレントミラー回路に比べ、NPNTランジスタBN4及びNPNTランジスタBN5からなるカレントミラー回路は、カレントミラー回路の重要な特性であるトランジスタのペアー性を向上させながら、トランジスタの面積を縮小することができる。

【0044】

上述したように、本実施例の演算増幅器では、NchMOSTランジスタN6、PchMOSTランジスタP3、PchMOSTランジスタP4、NPNTランジスタBN1乃至NPNTランジスタBN3、コンデンサC1、及び定電流源6から構成され、差動入力段3を構成する2つの差動増幅回路のソース間電圧を制御する電圧制御部2aが設けられ、NPNTランジスタBN4、NPNTランジスタBN5、PNPトランジスタBP1、PNPトランジスタBP2、及び抵抗R1乃至抵抗R4から構成される出力段4aが設けられている。

【0045】

このため、Rail to Railオペアンプ1aを全入力範囲でトランスコンダクタンス(gm)及び出力電流(I<sub>out</sub>)を一定にして動作するようにできる。更に、電圧制御部2aのカレントミラー回路及び出力段4aのカレントミラー回路をNPNTランジスタで構成されているので、実施例1のMOSTランジスタで構成されるカレントミラー回路と比べ、トランジスタの面積を縮小させながら、カレントミラー回路のオフセット電圧を低減することができる。

【0046】

本発明は、上記実施例に限定されるものではなく、発明の趣旨を逸脱しない範囲で、種々、変更してもよい。

【0047】

例えば、実施例では、MOSTランジスタのゲート絶縁膜にシリコン酸化膜を用いているが、シリコン酸化膜を熱窒化したSiN<sub>x</sub>O<sub>y</sub>膜、シリコン窒化膜(Si<sub>3</sub>N<sub>4</sub>)／シリコン酸化膜の積層膜、或いは高誘電体膜(High-Kゲート絶縁膜)等がゲート絶縁膜となるMIS(Metal Insulator Semiconductor)トランジスタを用いてもよい。

【0048】

本発明は、以下の付記に記載されているような構成が考えられる。

(付記1) 差動対をなす第1及び第2のNchMOSTランジスタを有する第1の差動増幅回路と、差動対をなす第1及び第2のPchMOSTランジスタを有する第2の差動増幅回路とを備える差動入力段と、高電位側電源側と低電位側電源側の間に縦続接続され、前記第1及び第2のNchMOSTランジスタのソースがゲートに接続される第3のNchMOSTランジスタと、前記第1及び第2のPchMOSTランジスタのソースがゲートに接続される第3のPchMOSTランジスタと、定電流源を流れる一定な電流と前記第3のNchMOSTランジスタ及び前記第3のPchMOSTラン

ジスタを流れる電流を比較し、その電流差をゼロにするように負帰還動作する複数のNch MOSトランジスタから構成される負帰還制御手段とを有し、前記第1及び第2のNch MOSトランジスタのソースと前記第1及び第2のPch MOSトランジスタのソースとの間の電圧を制御し、入力電圧に応じて前記差動入力段のトランスコンダクタンスを一定値に制御する電圧制御部とを具備する演算増幅器。

【0049】

(付記2) 差動対をなす第1及び第2のNch MOSトランジスタを有する第1の差動増幅回路と、差動対をなす第1及び第2のPch MOSトランジスタを有する第2の差動増幅回路とを備える差動入力段と、高電位側電源側と低電位側電源側の間に縦続接続され、前記第1及び第2のNch MOSトランジスタのソースがゲートに接続される第3のNch MOSトランジスタと、前記第1及び第2のPch MOSトランジスタのソースがゲートに接続される第3のPch MOSトランジスタと、定電流源を流れる一定な電流と前記第3のNch MOSトランジスタ及び前記第3のPch MOSトランジスタを流れる電流を比較し、その電流差をゼロにするように負帰還動作する複数のNPNTランジスタから構成される負帰還制御手段とを有し、前記第1及び第2のNch MOSトランジスタのソースと前記第1及び第2のPch MOSトランジスタのソースとの間の電圧を制御し、入力電圧に応じて前記差動入力段のトランスコンダクタンスを一定値に制御する電圧制御部とを具備する演算増幅器。

【図面の簡単な説明】

【0050】

【図1】本発明の実施例1に係るRail to Railオペアンプを示す回路図。

【図2】本発明の実施例1に係るRail to Railオペアンプの入力電圧に対するトランスコンダクタンス(gm)の関係を示す図。

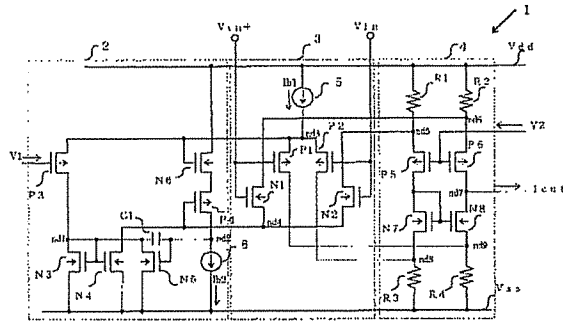
【図3】本発明の実施例2に係るRail to Railオペアンプを示す回路図。

【符号の説明】

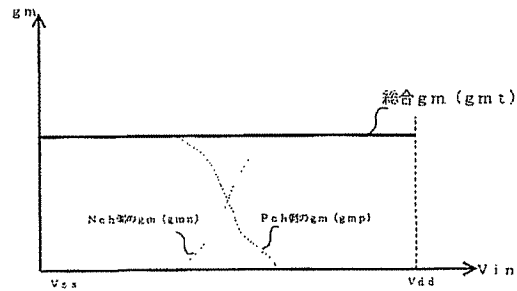
【0051】

1a Rail to Railオペアンプ  
2a 電圧制御部  
3 差動入力段  
4、4a 出力段  
5、6 定電流源  
BN1～5 NPNトランジスタ  
BP1～2 PNPトランジスタ  
C1 コンデンサ  
Ib1、Ib2 定電流  
Iout 出力電流  
N1～8 Nch MOSトランジスタ  
nd1～9 ノード  
P1～6 Pch MOSトランジスタ  
R1～4 抵抗  
V1、V2 基準電圧  
Vin+ +側の入力電圧  
Vin- -側の入力電圧  
Vdd 高電位側電源  
Vss 低電位側電源

【図1】



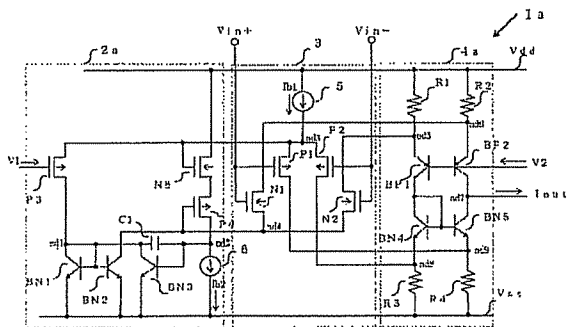
【図2】



1...Rail to Railコンパレータ  
2...電圧分圧  
3...電圧分圧  
4...出力  
5...電圧分圧  
6...電圧分圧  
C1...コンデンサ  
Iout...出力電流  
nd1-6...ノード  
R1-6...抵抗  
Vin+...正相入力端子  
Vin-...反相入力端子  
VDD...電源電圧

1b1, 1b2...電圧  
N1-5...Nch MOSトランジスタ  
P1-6...Pch MOSトランジスタ  
V1, V2...電源電圧  
VDD...電源電圧  
VSS...電源電圧

【図3】



1a...Rail to Railコンパレータ  
2a...電圧分圧  
3a...電圧分圧  
4a...出力  
5a...電圧分圧  
6a...電圧分圧  
C1...コンデンサ  
Iout...出力電流  
nd1-6...ノード  
R1-6...抵抗  
Vin+...正相入力端子  
Vin-...反相入力端子  
VDD...電源電圧

2b...電圧分圧  
BN1-5...Pch MOSトランジスタ  
BN1-2...Pch MOSトランジスタ

(72)発明者 戸田 修二

神奈川県川崎市幸区堀川町580番地 ソリッドスクエアビル西館9F 東芝ディスクリットテクノロジー株式会社内

Fターム(参考) 5J500 AA01 AA47 AC32 AC58 AF10 AF15 AH10 AH17 AH25 AK01  
AK05 AK09 AK12 AT02 DN04 DN24 DP01